

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT

Docket No. JCLA11475

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : KENNY CHANG et al.

Application No. : 10/714,336

Filed : November 13,2003

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

March 3, 2004

(Date)

For **PACKAGE SUBSTRATE AND PROCESS**
: **THEREOF**


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92122340** filed on **August 14, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11475).

Date: 3/3/2004

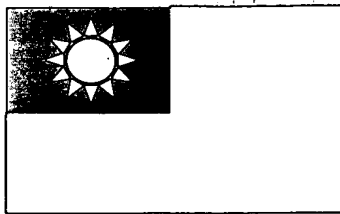
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/714,336

J04711475(



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 08 月 14 日
Application Date

申請案號：092122340
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 27 日
Issue Date

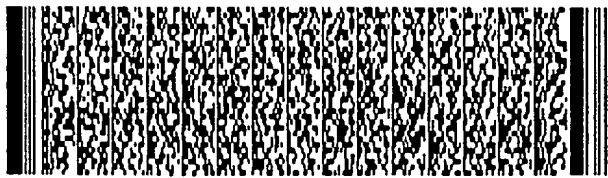
發文字號：09221206190
Serial No.

申請日期：	IPC分類
申請案號： 92122340	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	封裝基板製程及其結構
	英 文	Manufacturing Process And Structure Of Package Substrate
二、 發明人 (共2人)	姓 名 (中文)	1. 張文遠
	姓 名 (英文)	1. Kenny Chang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路535號8樓
	住居所 (英 文)	1. c/o 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



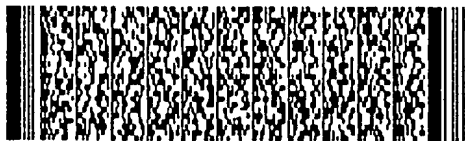
11475twf.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 許志行
	姓 名 (英 文)	2. Chi-Hsing Hsu
	國 籍 (中 英 文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	2. c/o 8F, No. 533, Chung-Cheng Rd., Hsintien, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：封裝基板製程及其結構)

一種封裝基板製程，乃先跨接至少一被動元件之二接腳於一承載器之一電源接點以及一接地接點之間，並同時形成一金屬層於被動元件之接腳表面以及電源接點、接地接點及訊號接點之暴露的表面，以利於後續打線接合製程時，導線之兩端可分別連接在晶片之一接合墊以及被動元件之一接腳上，以提高晶片封裝製程的良率及可靠度。

伍、(一)、本案代表圖為：第 2B 圖

(二)、本案代表圖之元件代表符號簡單說明：

210：承載器

214：接地接點

216：電源接點

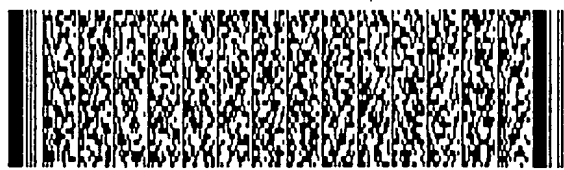
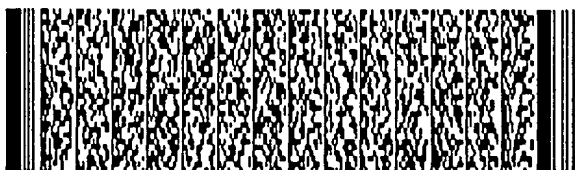
218：訊號接點

230：被動元件

232a、232b：接腳

六、英文發明摘要 (發明名稱：Manufacturing Process And Structure Of Package Substrate)

A manufacturing process of package substrate is provided to cross two terminals of a passive component between a power contact and a ground contact of a carrier. Then, a metal layer is formed on the terminal's surface of the passive component and the exposed surface of the power contact, the ground contact and signal contact. Therefore, when a wire bonding process is going



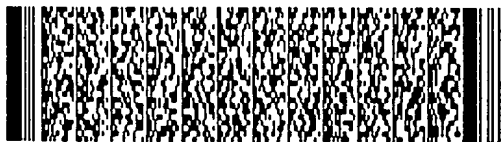
四、中文發明摘要 (發明名稱：封裝基板製程及其結構)

240 : 鍍 罩 層

244 : 金 屬 層

六、英文發明摘要 (發明名稱：Manufacturing Process And Structure Of Package Substrate)

on, the wire can connect with a bonding pad of the chip and a terminal of the passive component respectively to promote the reliability and yield of a chip package.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

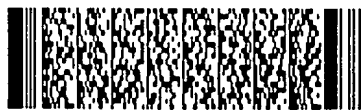
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

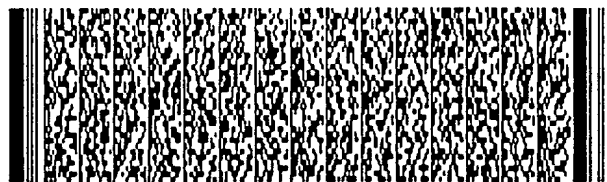
本發明是有關於一種晶片封裝製程及其結構，且特別是有關於一種運用於打線接合型態之封裝基板製程及其結構。

先前技術

由於半導體技術的演進，在市場需求提高下，使得半導體產業不斷地發展出更精密、更快速的電子元件，以目前半導體封裝的技術而言，比如晶片構裝的技術、晶片載板 (chip carrier) 的製作以及被動元件 (passive component) 的組裝等，均在半導體產業中佔有不可或缺的地位。

就晶片構裝的技術而言，每一顆由晶圓 (wafer) 切割所形成的裸晶片 (die)，例如以導線接合 (wire bonding) 或覆晶接合 (flip chip bonding) 等方式，配置於一承載器 (carrier) 之表面，其中承載器例如為導線架 (leadframe) 或基板 (substrate)，而晶片則具有多個接合墊，使得晶片之接合墊得以經由承載器之傳輸線路及接點，而電性連接至外部之電子裝置。此外，利用打線接合之晶片，其接合墊與基板之接點作電性連接之後，再形成一封膠材料將晶片及導線加以包覆，用以保護晶片以及導線，如此即完成一晶片封裝製程及其結構。

第1A~1C圖依序繪示習知一種打線接合型態之晶片封裝製程的流程示意圖。請參考第1A圖，首先提供一承載器110，其表面具有一晶片接合區112，且承載器110之表面

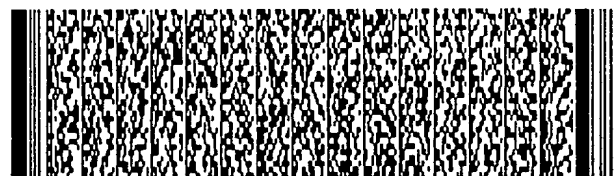
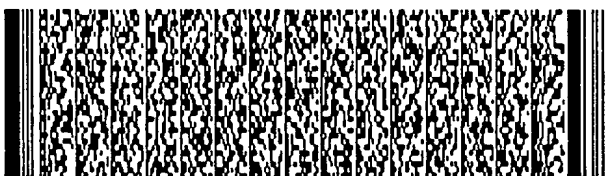


五、發明說明 (2)

至少配置一電源接點116、一接地接點114以及一訊號接點118。此外，電源接點116以及接地接點114係位於晶片接合區112之同一側，而訊號接點118係位於電源接點116以及接地接點114之較遠離晶片接合區112的外側。其中，電源接點116、接地接點114以及訊號接點118例如由圖案化之一導線層所構成，而導線層之表面還可覆蓋圖案化之一鍍罩層140，且鍍罩層140具有多個開口142，其分別暴露出電源接點116、接地接點114以及訊號接點118之表面。另外，為了避免接點與外界空氣產生氧化作用，承載器110之表面可藉由電鍍的方式形成一金屬層144，此金屬層144例如為鎳、金或其他合金，其覆蓋於電源接點116、接地接點114以及訊號接點118之所暴露的表面，以提高後續打線接合製程中之可靠度。

請參考第1B圖，配置一晶片120於承載器110之表面，而晶片120係以背面122貼附在晶片接合區112上，且晶片120之主動表面124具有多個接合墊126，其分別對應於電源接點116、接地接點114以及訊號接點118。

請參考第1C圖，分別連接導線134、136、138之兩端至晶片120之一接合墊126以及其所對應之電源接點116、接地接點114以及訊號接點118。此外，為了有效提昇晶片封裝結構100的電氣特性，通常是利用表面黏著技術（Surface Mount Technology, SMT）將小型被動元件130貼附在承載器110之表面，用以減少訊號在切換時所產生之雜訊串音干擾（crosstalk），並維持訊號傳輸品質。



五、發明說明 (3)

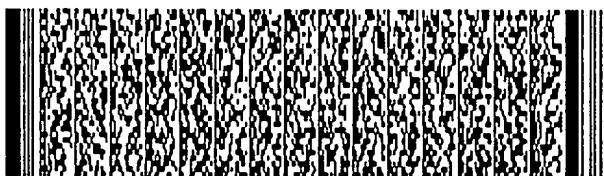
其中，被動元件130例如為電感元件(inductor)或電容元件(capacitor)，而被動元件130跨置於承載器110之電源接點116以及接地接點114之間，且被動元件130之二接腳132a、132b分別連接至電源接點116以及接地接點114。

同樣請參考第1C圖，值得注意的是，被動元件130例如配置在訊號導線138之下方，且訊號導線138可橫跨於被動元件130之上方而不會接觸到被動元件130之接腳132a，因此可提高訊號導線138之佈設空間。然而，連接於接合墊126以及電源接點116之間的導線136：必須先跨過被動元件130之上方，之後再銲接至電源接點116之表面上。由於導線136必須先拉長弧線，才能跨過被動元件130之上方，所以相對導致導線136本身之長度增長，而訊號行經導線136之傳輸路徑增長，將使晶片120的電氣性能降低，且影響鄰近導線之佈設空間。

發明內容

有鑑於此，本發明的目的是提供一種封裝基板製程，用以提高後續打線接合製程之良率以及可靠度。

為達本發明之上述目的，本發明提出一種封裝基板製程，首先提供一承載器，此承載器之表面具有一晶片接合區，且形成圖案化之一導線層於承載器之表面，其中導線層具有一電源接點、一接地接點以及一訊號接點，接著跨接至少一被動元件於電源接點以及接地接點之間，被動元件具有至少二接腳，其分別電性連接至電源接點以及接地接點。最後，形成一金屬層於這些接腳之表面以及電源接



五、發明說明 (4)

點、接地接點以及訊號接點之所暴露的表面。

依照本發明的較佳實施例所述，上述之金屬層例如以電鍍的方式所形成，且金屬層之材質係可選自於由鎳、金及該等合金所組成群組之一種材質。此外，被動元件例如為電感元件或電容元件，且被動元件之接腳可藉由表面黏著技術 (SMT) 而分別銲接在電源接點以及接地接點之表面。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2A~2C圖依序繪示本發明一較佳實施例之一種打線接合型態之晶片封裝製程的流程示意圖。請參考第2A圖，首先提供一承載器210，此承載器例如為基板，其表面具有一晶片接合區212，且承載器210之表面至少配置一電源接點216、一接地接點214以及一訊號接點218。此外，電源接點216以及接地接點214係位於晶片接合區212之同一側，且兩者例如分別由環繞於晶片接合區212之外圍之一電源環（未繪示）以及一接地環（未繪示）的局部線段所形成，而訊號接點218係位於電源接點216以及接地接點214之較遠離晶片接合區212的外側。其中，電源接點216、接地接點214以及訊號接點218例如由圖案化之一導線層所構成，而導線層之表面還可覆蓋圖案化之一鍍罩層240，且鍍罩層240具有多個開口242，其分別暴露出電源



五、發明說明 (5)

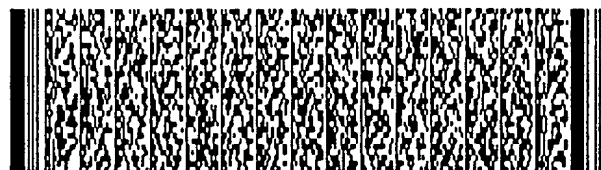
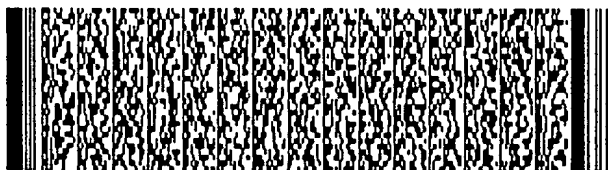
接點216、接地接點214以及訊號接點218之表面。

同樣請參考第2A圖，在本實施例中，跨接至少一被動元件230於電源接點216以及接地接點214之間，而被動元件230具有至少二接腳232a、232b，其可藉由表面黏著技術（SMT）而分別銲接在電源接點216以及接地接點214之表面，用以減少訊號在切換時所產生之雜訊串音干擾，並維持訊號傳輸品質。其中，被動元件230例如為小型電感元件或電容元件，其接腳之材質例如為錫鉛合金。

接著請參考第2B圖，同時形成一金屬層244於接腳232a、232b之表面以及電源接點216、接地接點214及訊號接點218之所暴露的表面，用以避免接點214、216、218與外界空氣產生氧化的作用。其中，金屬層244之材質例如為鎳、金或其合金，其可藉由電鍍的方式形成於接腳232a、232b之表面以及接點214、216、218之所暴露的表面。另外，金屬層244係採用與金線接合性佳之金屬材質，故可提高後續打線接合製程的可靠度。

請參考第2C圖，配置一晶片220於承載器210之表面，而晶片220係以背面222貼附在晶片接合區212上，且晶片220之主動表面224具有多個接合墊226，其分別對應於電源接點216、接地接點214以及訊號接點218。

同樣請參考第2C圖，為了縮短第一導線236a、236b之長度，本實施例直接將至少一第一導線236a之一端銲接在被動元件230之接腳232a上，其中第一導線236a之兩端可對應連接至晶片220之一接合墊226a以及被動元件220之遠



五、發明說明 (6)

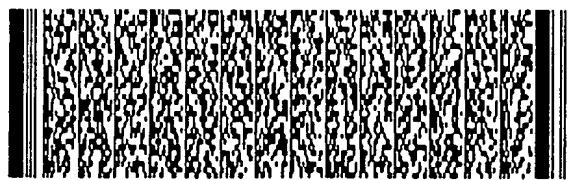
離晶片220的接腳232a，而另一第一導線236b之兩端可對應連接至晶片220之另一接合墊226b以及被動元件230之鄰近晶片220的接腳232b上或接地接點214上。由於外層之第一導線236a不須拉長弧線來跨過被動元件230之上方，而是直接銲接在被動元件230之接腳232a上，因此外層之第一導線236a的長度將可有效的縮短，而訊號行經第一導線236a之傳輸路徑縮短，將使晶片220的電氣性能提高，且增加鄰近導線之佈設空間。此外，第二導線238之兩端可對應連接晶片220之又一接合墊236c以及承載器210最外圍之訊號接點218，且第二導線238還可橫跨於被動元件230之上方，而不會接觸到被動元件230之任一接腳232a、232b。

由以上之說明可知，本發明之封裝基板製程係先跨置至少一被動元件於承載器之電源接點以及接地接點之間，且被動元件之二接腳分別連接電源接點以及接地接點，並同時形成一金屬層於被動元件之接腳以及電源接點、接地接點及訊號接點之所暴露之表面。

綜上所述，本發明之封裝基板製程具有下列優點：

(1) 利用電鍍的方式，同時形成一金屬層於被動元件之接點表面以及電源接點、接地接點及訊號接點之所暴露之表面，以利於後續將導線之一端直接連接在被動元件之接腳上，藉以提高晶片封裝製程之良率以及可靠度。

(2) 導線之一端可直接銲接在被動元件之一接腳上，因此導線的長度將可有效的縮短，而訊號行經導線之



五、發明說明 (7)

傳輸路徑縮短，將提高晶片之電氣性能，並增加鄰近導線之佈線空間。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1C圖依序繪示習知一種打線接合型態之晶片封裝製程的流程示意圖。

第2A~2C圖依序繪示本發明一較佳實施例之一種打線接合型態之晶片封裝製程的流程示意圖。

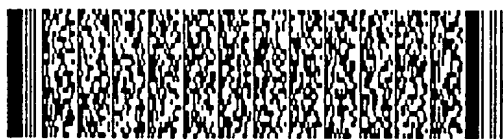
【圖式標示說明】

- 110 : 承載器
- 112 : 晶片接合區
- 114 : 接地接點
- 116 : 電源接點
- 118 : 訊號接點
- 120 : 晶片
- 122 : 背面
- 124 : 主動表面
- 126 : 接合墊
- 130 : 被動元件
- 132a、132b : 接腳
- 134、136、138 : 導線
- 140 : 鐳罩層
- 142 : 開口
- 144 : 金屬層
- 210 : 承載器
- 212 : 晶片接合區
- 214 : 接地接點



圖式簡單說明

- 216 : 電 源 接 點
- 218 : 訊 號 接 點
- 220 : 晶 片
- 222 : 背 面
- 224 : 主 動 表 面
- 226a、226b、226c : 接 合 墊
- 230 : 被 動 元 件
- 232a、232b : 接 腳
- 236a、236b : 第 一 導 線
- 238 : 第 二 導 線
- 240 : 鐳 罩 層
- 242 : 開 口
- 244 : 金 屬 層



六、申請專利範圍

1. 一種晶片封裝製程，至少包括：

提供一承載器，具有一表面、一電源接點以及一接地接點，且該表面具有一晶片接合區，而該電源接點以及該接地接點均配置於該表面，且該電源接點以及該接地接點係位於該晶片接合區之外的區域；

跨接至少一被動元件於該電源接點以及該接地接點之間，且該被動元件具有至少二接腳，其分別電性連接至該電源接點以及該接地接點；

同時形成一金屬層於該些接腳之所暴露的表面以及該電源接點以及該接地接點之所暴露的表面；

配置一晶片於該承載器之該表面，而該晶片具有一主動表面以及對應之一背面，且該晶片係以該背面貼附於至該晶片接合區，且該晶片更具有複數個接合墊，其配置於該主動表面；以及

連接至少一第一導線之兩端分別至該晶片之該些接合墊之一以及該些接腳之一。

2. 如申請專利範圍第1項所述之晶片封裝製程，更包括形成一封膠，該封膠係包覆該晶片、該被動元件以及該第一導線。

3. 如申請專利範圍第1項所述之晶片封裝製程，其中該承載器還具有一訊號接點，而該訊號接點係位於該電源接點以及該接地接點之較遠離該晶片接合區的外側。

4. 如申請專利範圍第3項所述之晶片封裝製程，其中該金屬層還覆蓋於該訊號接點之所暴露的表面。



六、申請專利範圍

5. 如申請專利範圍第3項所述之晶片封裝製程，更包括連接至少一第二導線之兩端分別至該晶片之該些接合墊之另一以及該訊號接點，且該第二導線係橫跨於該被動元件之上方。

6. 如申請專利範圍第5項所述之晶片封裝製程，更包括形成一封膠，該封膠係包覆該第二導線。

7. 如申請專利範圍第1項所述之晶片封裝製程，其中配置該被動元件於該承載器之前，更包括形成圖案化之一鐳罩層於該承載器之該表面，且該鐳罩層暴露出該晶片接合區、該電源接點、該接地接點之表面。

8. 如申請專利範圍第1項所述之晶片封裝製程，其中該金屬層係以電鍍的方式所形成。

9. 如申請專利範圍第1項所述之晶片封裝製程，其中該金屬層之材質係選自於由鎳、金及該等合金所組成群組之一種材質。

10. 如申請專利範圍第1項所述之晶片封裝製程，其中該被動元件係為電感元件以及電容元件其中之一。

11. 一種封裝基板製程，至少包括：

提供一承載器；

形成圖案化之一導線層於該承載器之表面，該導線層具有一電源接點、一接地接點以及一訊號接點；

跨接至少一被動元件於該電源接點以及該接地接點之間，該被動元件具有至少二接腳，其分別電性連接至該電源接點以及該接地接點；以及



六、申請專利範圍

電鍍一金屬層於該些接腳之表面以及該電源接點、該接地接點以及該訊號接點之所暴露的表面。

12. 如申請專利範圍第11項所述之封裝基板製程，其中形成圖案化之該導線層之後，更包括形成圖案化之一鍍罩層於該承載器之表面，且該鍍罩層暴露出該電源接點、該接地接點以及該訊號接點之表面。

13. 如申請專利範圍第11項所述之封裝基板製程，其中該金屬層之材質係選自於由鎳、金及該等合金所組成群組之一種材質。

14. 如申請專利範圍第11項所述之封裝基板製程，其中該被動元件係為電感元件以及電容元件其中之一。

15. 一種封裝基板製程，至少包括：

提供一承載器，其具有一表面以及複數個接點，其中該些接點係配置於該表面；

跨接至少一被動元件於該些接點之間，且該被動元件具有複數個接腳，其分別電性連接至該些接點；以及

形成一金屬層於該些接腳之表面以及該些接點所暴露之表面。

16. 如申請專利範圍第15項所述之封裝基板製程，其中在提供該承載器之後，更包括形成圖案化之一鍍罩層於該承載器之該表面，且該鍍罩層暴露出該些接點之表面。

17. 如申請專利範圍第15項所述之封裝基板製程，其中該金屬層係以電鍍的方式所形成。

18. 如申請專利範圍第15項所述之封裝基板製程，其



六、申請專利範圍

中該金屬層之材質係選自於由鎳、金及該等合金所組成群組之一種材質。

19. 如申請專利範圍第15項所述之封裝基板製程，其中該被動元件係為電感元件以及電容元件其中之一。

20. 一種封裝基板結構，適用承載打線接合型態之一晶片，該封裝基板結構至少包括：

一承載器，具有一表面、一電源接點、一接地接點以及一訊號接點，該表面具有一晶片接合區，且該電源接點、該接地接點以及該訊號接點均配置於該晶片接合區之外的區域；以及

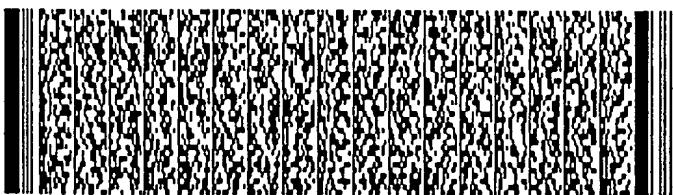
至少一被動元件，跨置於該承載器之該電源接點以及該接地接點之間，該被動元件具有至少二接腳，其分別電性連接至該電源接點以及該接地接點；以及

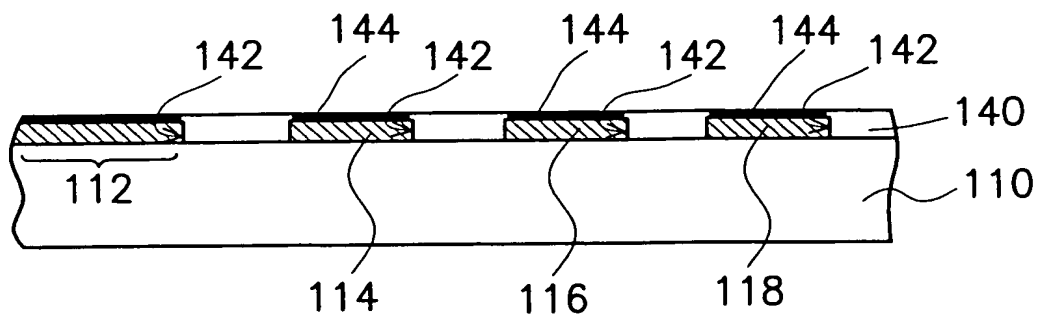
一金屬層，覆蓋於該些接腳之表面以及該電源接點、該接地接點以及該訊號接點之所暴露的表面。

21. 如申請專利範圍第20項所述之封裝基板結構，更包括圖案化之一鐳罩層，配置於該承載器之該表面，且該鐳罩層暴露出該電源接點、該接地接點以及該訊號接點之表面。

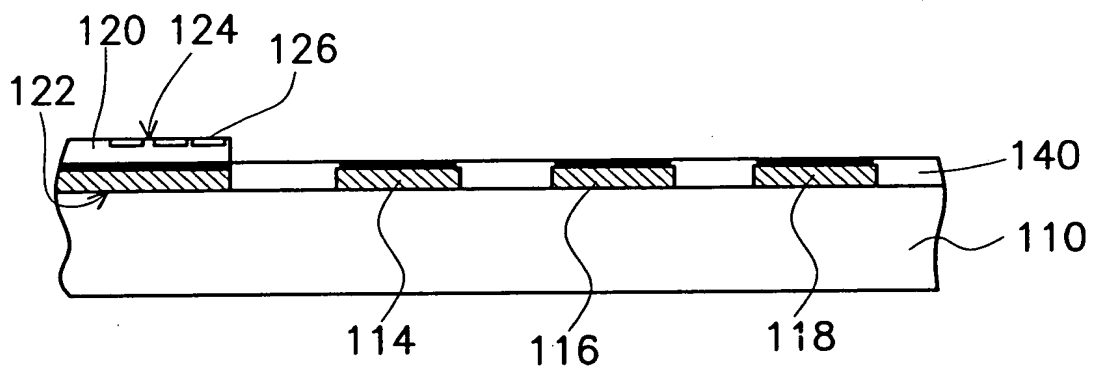
22. 如申請專利範圍第20項所述之封裝基板結構，其中該被動元件係為電感元件以及電容元件其中之一。

23. 如申請專利範圍第20項所述之封裝基板結構，其中該金屬層之材質係選自於由鎳、金及該等合金所組成群組之一種材質。

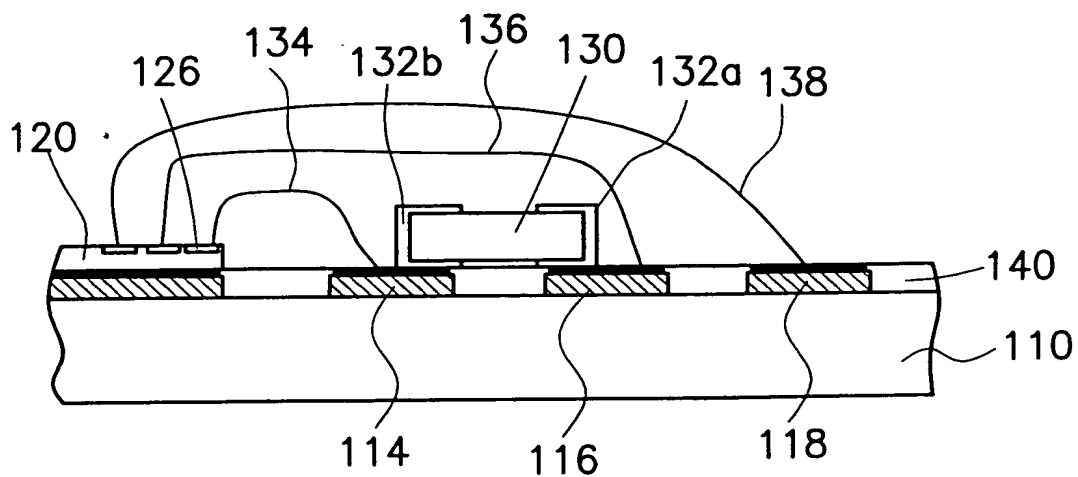




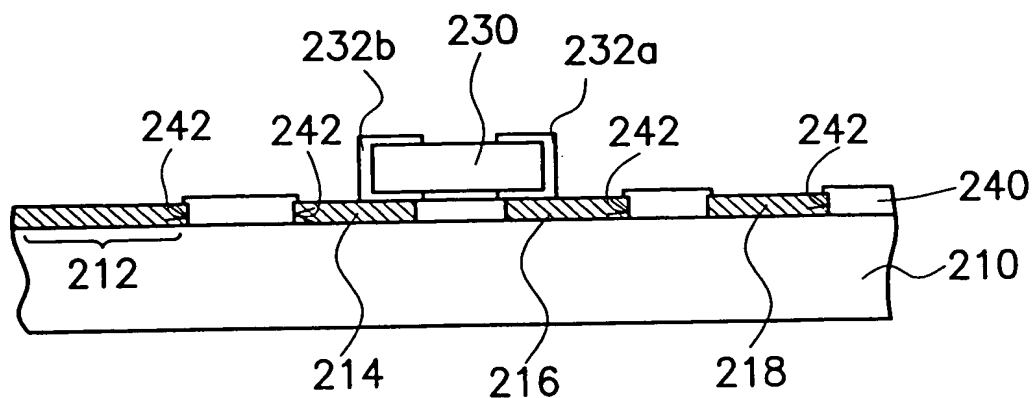
第 1A 圖



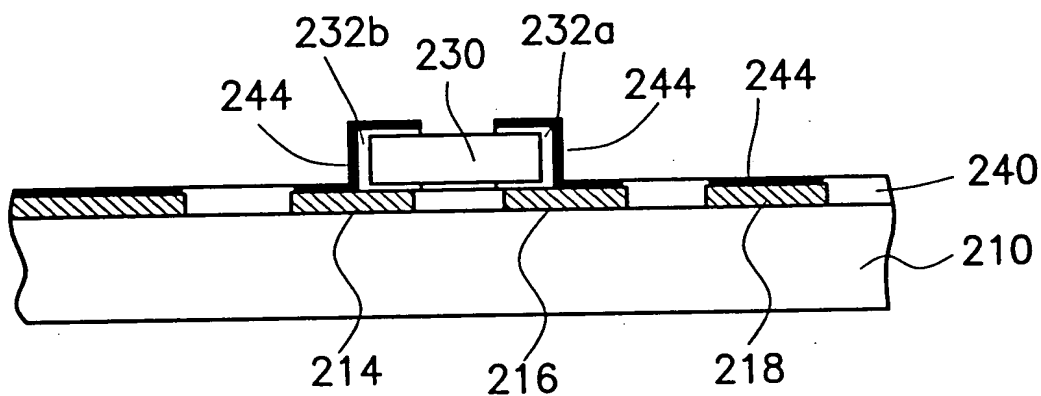
第 1B 圖



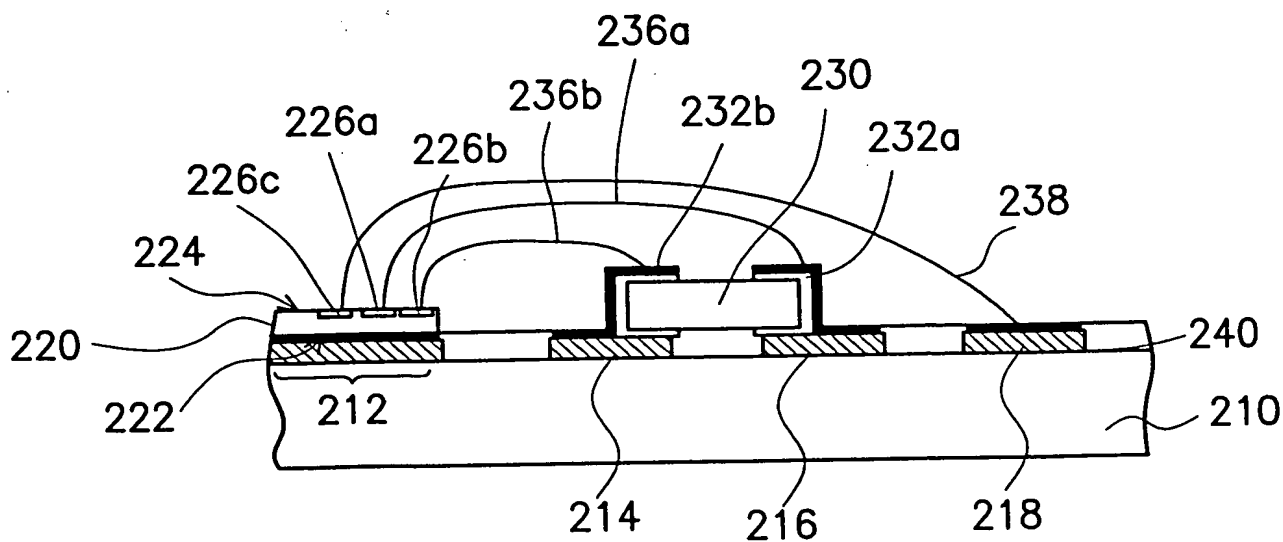
第 1C 圖



第 2A 圖

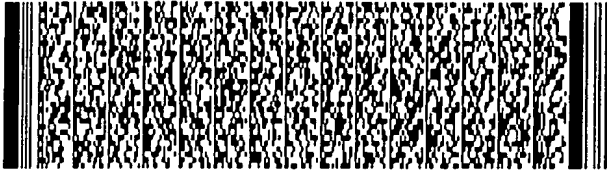


第 2B 圖

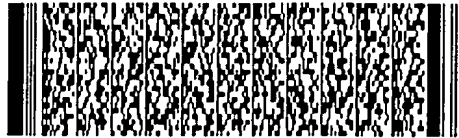


第 2C 圖

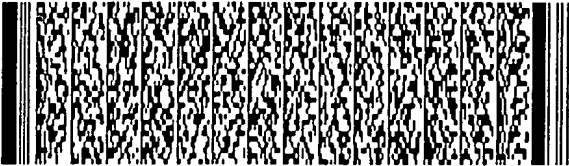
第 1/18 頁



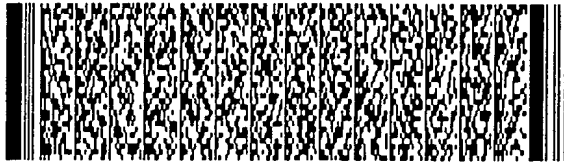
第 2/18 頁



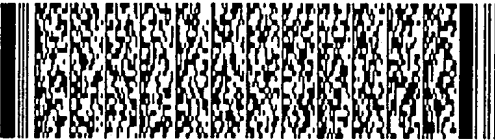
第 3/18 頁



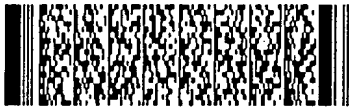
第 3/18 頁



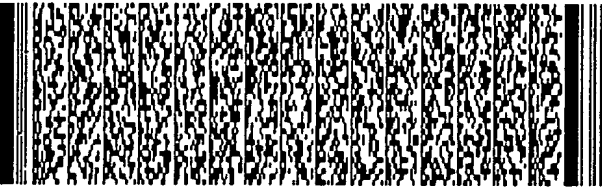
第 4/18 頁



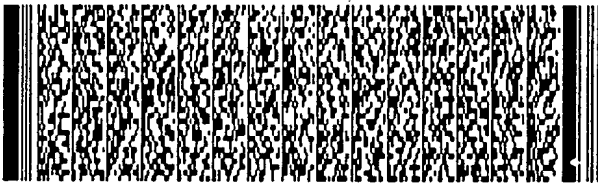
第 5/18 頁



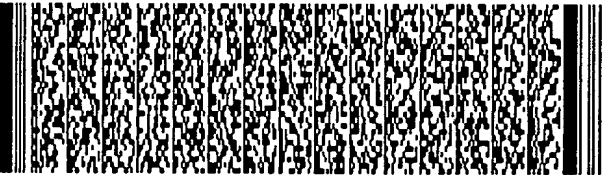
第 6/18 頁



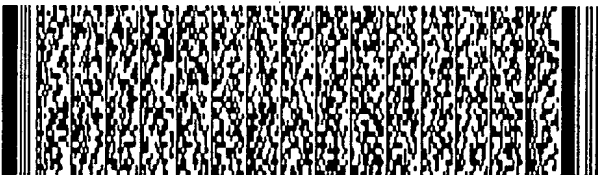
第 6/18 頁



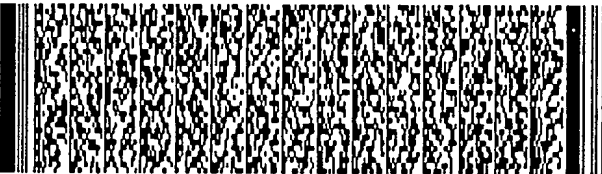
第 7/18 頁



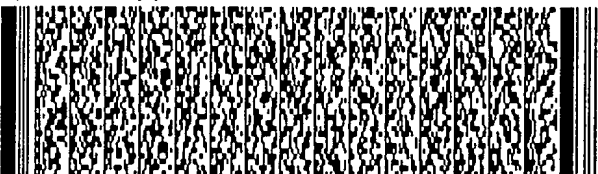
第 7/18 頁



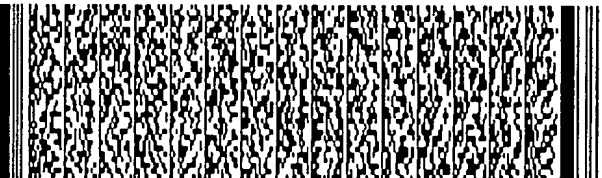
第 8/18 頁



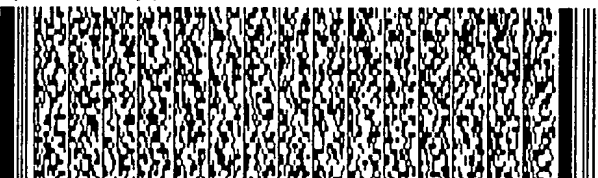
第 8/18 頁



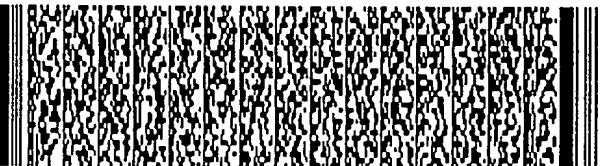
第 9/18 頁



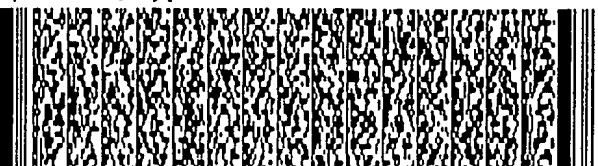
第 9/18 頁



第 10/18 頁



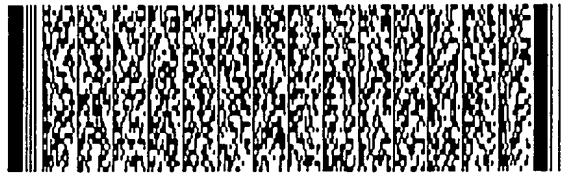
第 10/18 頁



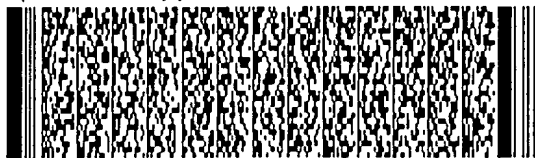
第 11/18 頁



第 11/18 頁



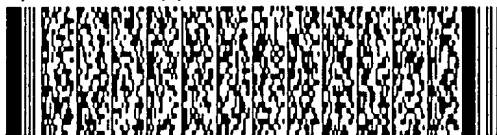
第 12/18 頁



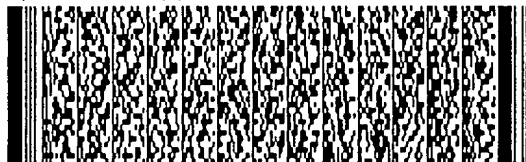
第 13/18 頁



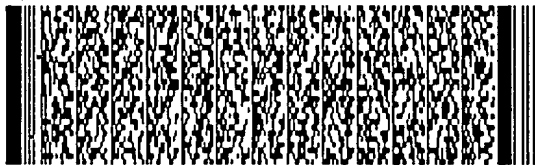
第 14/18 頁



第 15/18 頁



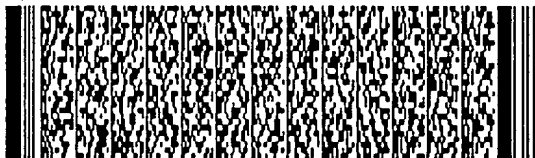
第 15/18 頁



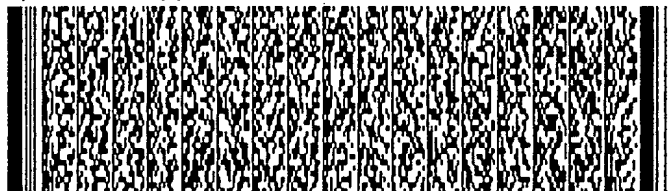
第 16/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

